

IFW



Patent

Customer No. 31561  
Application No.: 10/710,388  
Docket No. 13512-US-PA

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re application of

Applicant : Lai  
Application No. : 10/710,388  
Filed : Jul 07, 2004  
For : THIN FILM TRANSISTOR ARRAY  
Examiner :  
Art Unit : 2673

---

ASSISTANT COMMISSIONER FOR PATENTS  
Arlington, VA22202

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.: 93111982,  
filed on: 2004/4/29.

A return prepaid postcard is also included herewith.

Respectfully Submitted,  
JIANQ CHYUN Intellectual Property Office

Dated: Nov. 9, 2004

By: Belinda Lee  
Belinda Lee  
Registration No.: 46,863

**Please send future correspondence to:**

**7F.-1, No. 100, Roosevelt Rd.,**

**Sec. 2, Taipei 100, Taiwan, R.O.C.**

**Tel: 886-2-2369 2800**

**Fax: 886-2-2369 7233 / 886-2-2369 7234**

**E-MAIL: BELINDA@JCIPGroup.com.tw; USA@JCIPGroup.com.tw**

**BEST AVAILABLE COPY**



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereun

申請日：西元 2004 年 04 月 29 日  
Application Date

申請案號：093111982  
Application No.

申請人：友達光電股份有限公司  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2004 年 8 月 20 日  
Issue Date

發文字號：09320772450  
Serial No.

CERTIFIED COPY OF  
PRIORITY DOCUMENT

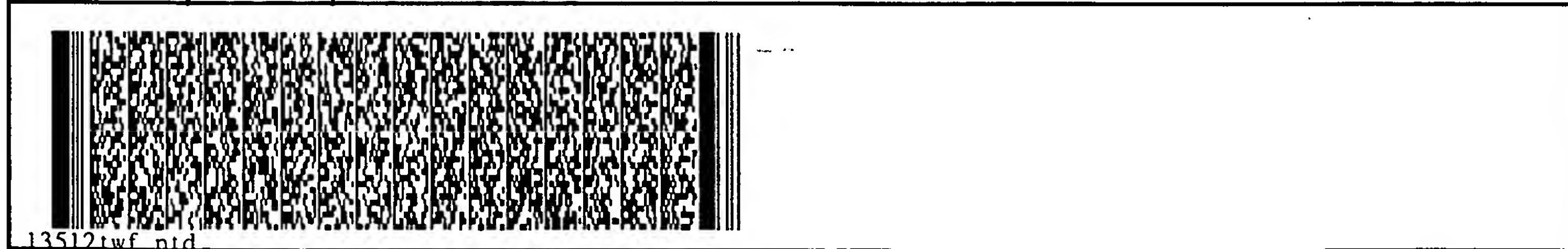
BEST AVAILABLE COPY

申請日期：	IPC分類
申請案號： 93111982	

(以上各欄由本局填註)

# 發明專利說明書

一、 發明名稱	中 文	薄膜電晶體陣列基板
	英 文	THIN FILM TRANSISTOR ARRAY
二、 發明人 (共1人)	姓 名 (中文)	1. 來漢中
	姓 名 (英文)	1. LAI, HAN CHUNG
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 桃園縣中壢市內壢成功路122巷63弄20號
	住居所 (英 文)	1. No. 20, Alley 63, Lane 122, Chengkung Rd., Chungli, Taoyuan Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 友達光電股份有限公司
	名稱或 姓 名 (英文)	1. Au Optronics Corporation
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學工業園區新竹市力行二路一號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 1, Li-Hsin Rd. II, Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C.
	代表人 (中文)	1. 李焜耀
	代表人 (英文)	1. LEE, KUN YAO



四、中文發明摘要 (發明名稱：薄膜電晶體陣列基板)

一種薄膜電晶體陣列基板，主要在掃瞄配線或共用配線的上方形形成一連接導體層，藉由連接導體層將位於掃瞄配線或共用配線上方的下電極電性連接，以利用畫素電極與下電極耦合成一第二金屬層/絕緣層/銦錫氧化物層的儲存電容。

五、英文發明摘要 (發明名稱：THIN FILM TRANSISTOR ARRAY)

A thin film transistor array is provided. A conductive layer is disposed above a scan line or a common line. A down electrode is disposed above the scan line or the common line and the scan line or the common line is connected with the down electrode by the conductive layer. Hence, a Metal 2/Insulator/ITO Structure of Cst is formed between an ITO and the down electrode.



六、指定代表圖

伍、(一)、本案代表圖為：圖3

(二)、本案代表圖之元件代表符號簡單說明：

300：薄膜電晶體陣列基板

320：掃描配線

350：畫素電極

360：下電極

370：連接導體層



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。





## 五、發明說明 (1)

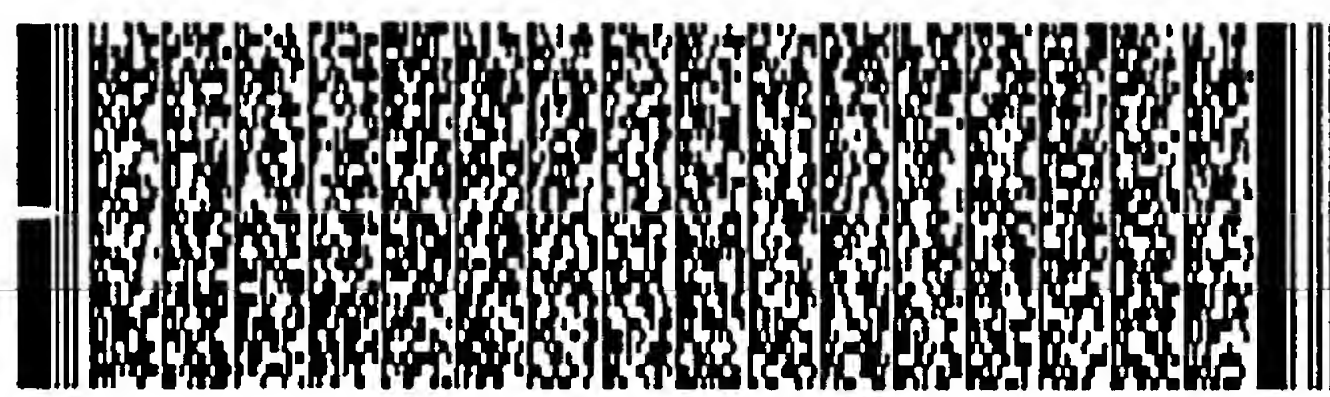
### 發明所屬之技術領域

本發明是有關於一種薄膜電晶體陣列基板 (TFT array)，且特別是有關於一種具有第二金屬層/絕緣層/銦錫氧化物層 (Metal-Insulator-ITO) 架構之儲存電容的薄膜電晶體陣列基板。

### 先前技術

針對多媒體社會之急速進步，多半受惠於半導體元件或顯示裝置的飛躍性進步。就顯示器而言，陰極射線管 (Cathode Ray Tube, CRT) 因具有優異的顯示品質與其經濟性，一直獨佔近年來的顯示器市場。然而，對於個人在桌上操作多數終端機/顯示器裝置的環境，或是以環保的觀點切入，若以節省能源的潮流加以預測，陰極射線管因空間利用以及能源消耗上仍存在很多問題，而對於輕、薄、短、小以及低消耗功率的需求無法有效提供解決之道。因此，具有高畫質、空間利用效率佳、低消耗功率、無輻射等優越特性之薄膜電晶體液晶顯示器 (Thin Film Transistor Liquid Crystal Display, TFT LCD) 已逐漸成為市場之主流。

薄膜電晶體液晶顯示器 (TFT-LCD) 主要由薄膜電晶體陣列基板、彩色濾光陣列基板和液晶層所構成，其中薄膜電晶體陣列基板是由多個陣列排列之薄膜電晶體以及與每一個薄膜電晶體對應配置之畫素電極 (pixel electrode) 所組成。而薄膜電晶體係用來作為液晶顯示單元的開關元件。此外，為了控制個別的畫素單元，通常會經由掃描配



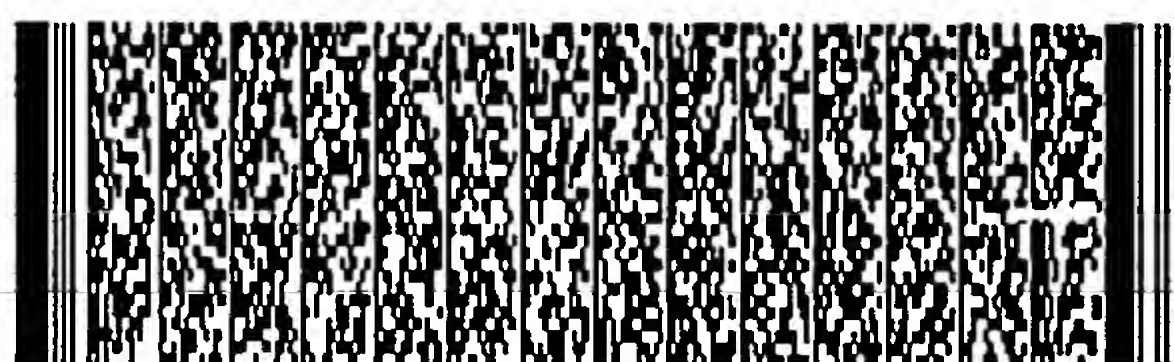
## 五、發明說明 (2)

線(scan line)與資料配線(data line)以選取特定之畫素，並藉由提供適當的操作電壓，以顯示對應此畫素之顯示資料。另外，上述之畫素電極的部分區域通常會覆蓋於掃描配線或是共用配線(common line)上，以形成儲存電容。習知技術中，常見的儲存電容可區分為第一金屬層/絕緣層/第二金屬層(Metal-Insulator-Metal, MIM)以及第一金屬層/絕緣層/銦錫氧化物層

(Metal-Insulator-ITO, MII)兩種架構，以下將針對上述兩種架構之儲存電容結構進行詳細之說明。

圖1繪示為習知第一金屬層/絕緣層/第二金屬層(MIM)架構之儲存電容的剖面示意圖。請參照圖1，在習知的畫素結構中，第一金屬層/絕緣層/第二金屬層(MIM)架構之儲存電容Cst通常係藉由掃描配線或共用配線100與其上方之上電極120耦合而成。值得注意的是，在第一金屬層/絕緣層/第二金屬層(MIM)架構之儲存電容中，掃描配線或共用配線100與上電極120係藉由閘極絕緣層110彼此電性絕緣，因此儲存電容值Cst與閘極絕緣層110的厚度有關。換言之，閘極絕緣層110的厚度越小，儲存電容值Cst就越大。此外，畫素電極140係藉由保護層130中的接觸窗132與上電極120電性連接。

圖2繪示為習知第一金屬層/絕緣層/銦錫氧化物層(MII)架構之儲存電容的剖面示意圖。請參照圖2，在習知的畫素結構中，第一金屬層/絕緣層/銦錫氧化物層(MII)架構之儲存電容通常係藉由掃描配線或共用配線200與其





### 五、發明說明 (3)

上方之畫素電極230耦合而成。與第一金屬層/絕緣層/第二金屬層(MIM)架構不同之處在於，第一金屬層/絕緣層/銻錫氧化物層(MII)架構之儲存電容中的掃描配線或共用配線200與畫素電極230係藉由閘極絕緣層210與保護層220彼此電性絕緣，因此儲存電容值 $C_{st}$ 與閘極絕緣層210及保護層220的總厚度有關。換言之，閘極絕緣層210及保護層220的總厚度越小，儲存電容值 $C_{st}$ 就越大。

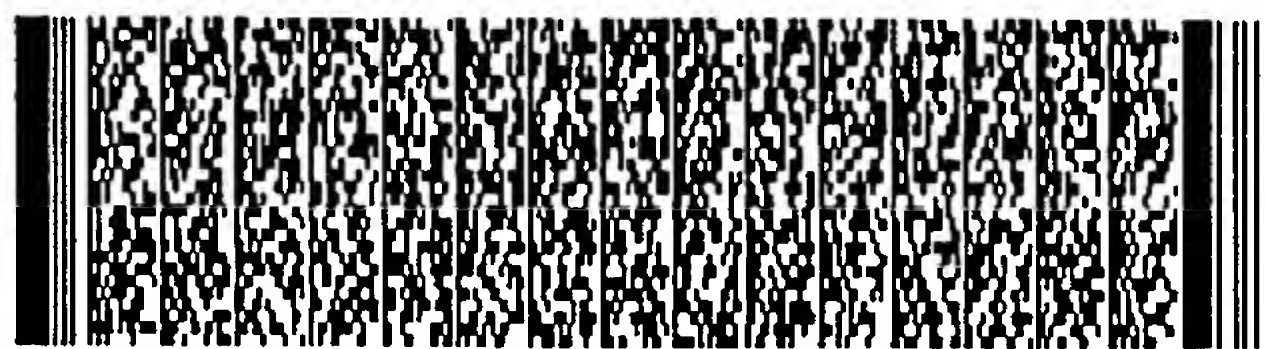
在習知的薄膜電晶體陣列基板中，若要在不影響開口率的前提下增加儲存電容值 $C_{st}$ ，則必須縮減閘極絕緣層210及/或保護層220的厚度，但若縮減閘極絕緣層210及/或保護層220的厚度則有可能使得薄膜電晶體的元件信賴性(reliability)下降。

#### 發明內容

因此，本發明的目的係提供一種薄膜電晶體陣列基板，其能夠有效增進各畫素中之儲存電容值。

本發明的另一目的係提供一種薄膜電晶體陣列基板，其能夠有效增進各畫素中之開口率(aperture ratio)。

為達上述目的，本發明提出一種薄膜電晶體陣列基板，主要係由一基板、多個掃描配線、多個資料配線、多個薄膜電晶體、多個畫素電極、多數個下電極，以及多數個連接導體層所構成。其中，掃描配線以及資料配線係配置於基板上，以將基板區分出多個畫素區域。薄膜電晶體係分別位於各畫素區域內，並且藉由對應之掃描配線以及對應之資料配線驅動。畫素電極係分別位於各畫素區域





## 五、發明說明 (5)

的條件下，獲得較大的儲存電容值。換言之，本發明之儲存電容結構僅需較小的耦合面積即可獲得所需之儲存電容值，故可有效提高開口率。

為讓本發明之上述和其他目的、特徵和優點能更明顯易懂，下文特舉數個較佳實施例，並配合所附圖式，作詳細說明如下。

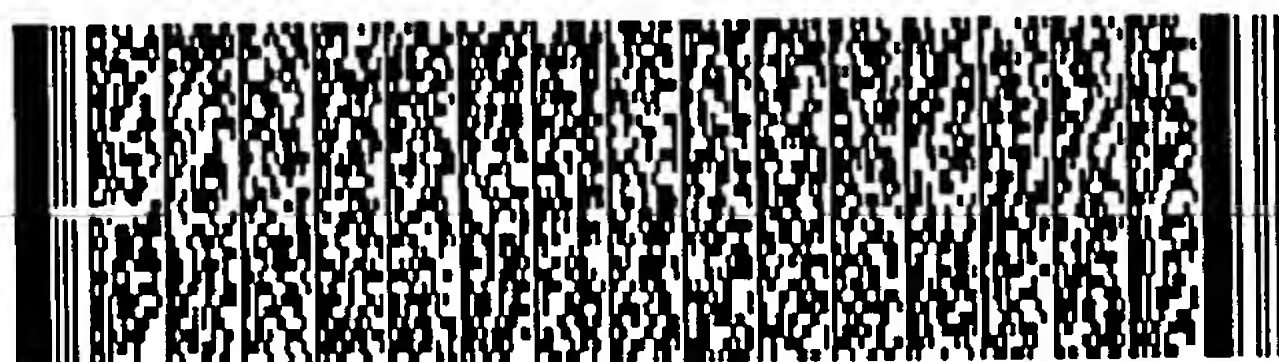
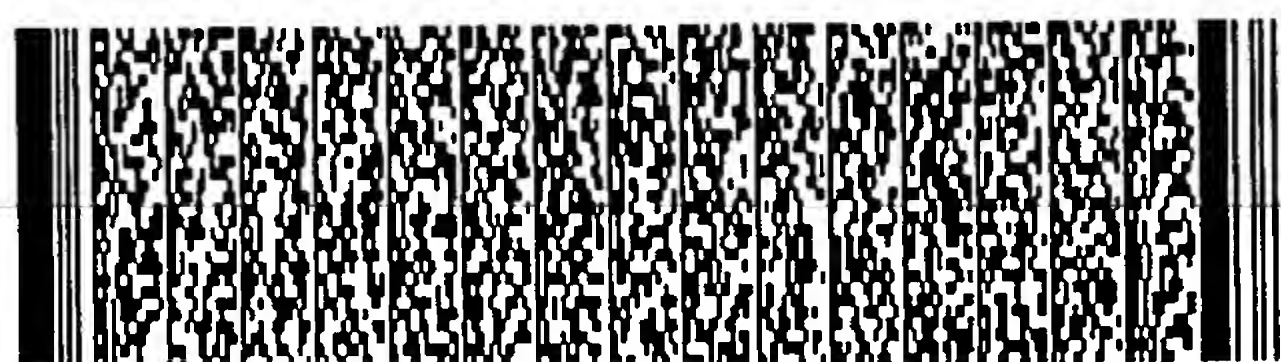
### 實施方式

圖3繪示為依照本發明一較佳實施例薄膜電晶體陣列基板的示意圖，而圖4繪示為根據圖3中之薄膜電晶體陣列基板沿著剖面線A-A'所見之剖面圖。

請參照圖3及圖4，本實施例之薄膜電晶體陣列基板300主要係由一基板310、多個掃描配線320、多個資料配線330、多個薄膜電晶體340、多個畫素電極350、多數個下電極360，以及多數個連接導體層370所構成。

其中，掃描配線320以及資料配線330係配置於基板310上，以將基板310區分出多個畫素區域312。薄膜電晶體340係分別位於各畫素區域312內，並且藉由對應之掃描配線320以及對應之資料配線330驅動。畫素電極350係分別位於各畫素區域312內，以與對應之薄膜電晶體340電性連接，且每一個畫素電極350之部分區域係位於對應之掃描配線320的上方。

此外，每一個下電極360配置於一個畫素電極350以及對應之一掃描配線320之間，且這些下電極360例如是在製作資料配線330、源極及汲極等第二金屬層時一併形成，



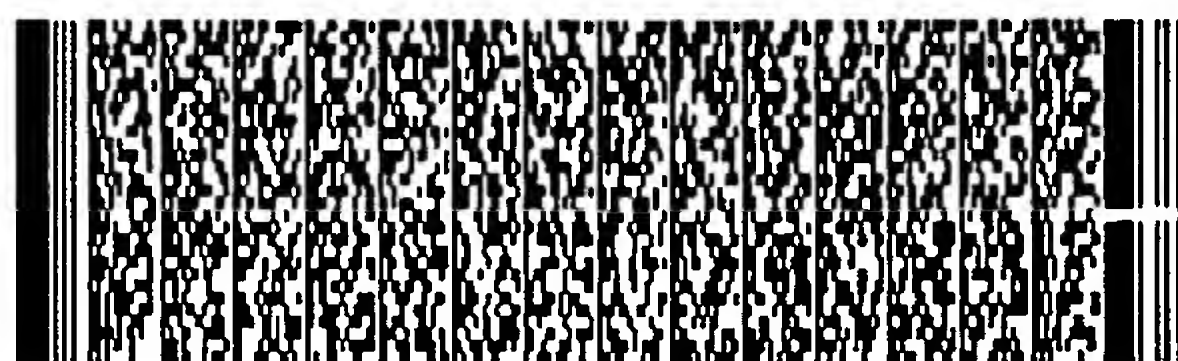
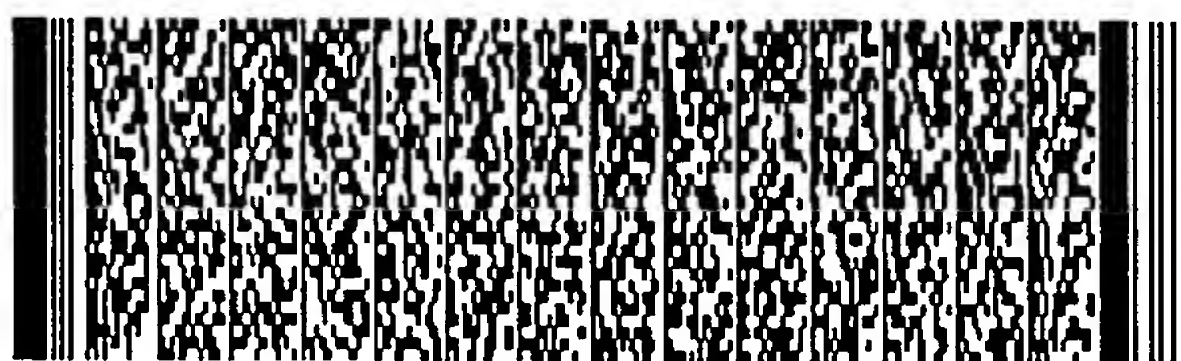


## 五、發明說明 (6)

而下電極360與畫素電極350之間配置有一保護層380，以使下電極360與畫素電極350保持電性隔絕。

另外，每一個連接導體層370係位於對應之一下電極360之部分區域及一掃描配線320的上方，且下電極360與掃描配線320之間配置有一介電層390。保護層380與介電層390中具有多數個第一接觸窗382以及多數個第二接觸窗392，而每個第一接觸窗382係暴露出一下電極360，且每個第二接觸窗392係暴露出一掃描配線320。每個連接導體層370係透過第一接觸窗382而與對應之下電極360電性連接，且每個連接導體層370係透過第二接觸窗392而與對應之掃描配線320電性連接。

圖5繪示為依照本發明另一較佳實施例薄膜電晶體陣列基板的剖面示意圖。請同時參照圖4與圖5，在上述實施例中，每個連接導體層370係分別透過保護層380及介電層390上的接觸窗382，392（繪示於圖4中），以將下電極360與掃描配線320電性連接。然而，熟悉該項技術者應知，本發明亦可不須分別透過保護層380及介電層390上的接觸窗382，392將下電極360與掃描配線320電性連接。如圖5所繪示，保護層380與介電層390中具有多數個第三接觸窗394，更詳細的說，每一個畫素中僅具有一個第三接觸窗394，故圖5中僅繪示出一個接觸窗。本實施例中，第三接觸窗394的尺寸係足以同時暴露出下電極360及對應之掃描配線320，以使得連接導體層370能夠透過第三接觸窗394與對應之下電極360以及掃描配線320同時電性連接。



## 五、發明說明 (7)

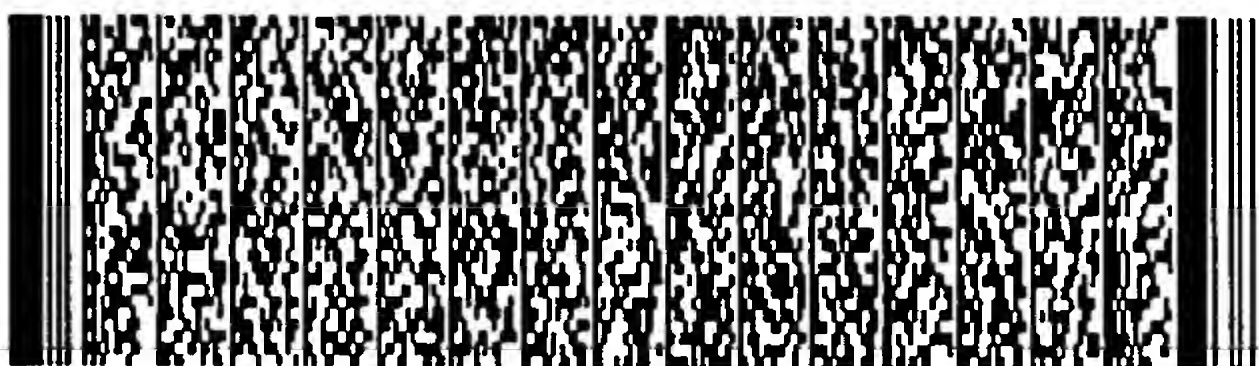
由上述可知，本實施例之薄膜電晶體陣列基板300在掃描配線320的上方形成一連接導體層370，並藉由連接導體層370將掃描配線320與其上方的下電極360電性連接，使得畫素電極350與下電極360耦合成一儲存電容。換言之，本發明之儲存電容為一第二金屬層/絕緣層/銦錫氧化物層(MII)的架構。

值得注意的是，本發明具有第二金屬層/絕緣層/銦錫氧化物層(MII)架構之儲存電容，由於下電極與畫素電極之間所夾置之保護層，其厚度相較於習知技術中夾置於上、下電極中之介電層之厚度更薄。因此，相較於習知的儲存電容結構，本發明之儲存電容結構可在相同耦合面積的條件下，獲得較大的儲存電容值。換言之，本發明之儲存電容結構僅需較小的耦合面積即可獲得所需之儲存電容值，故可有效提高開口率。

承上所述，上述之實施例皆針對儲存電容在掃描配線(Cst on Gate)的架構舉例說明，然而任何熟悉該項技藝者應知，本發明之並不侷限於儲存電容在掃描配線的架構，亦可運用在儲存電容在共用配線上(Cst on common)的架構上。

圖6繪示為依照本發明另一較佳實施例薄膜電晶體陣列基板的示意圖。其中薄膜電晶體陣列基板300'的主要結構大致與圖3相同，故僅針對相異點進行說明如下。

請參閱圖6，本實施例之儲存電容在共用配線之架構中，主要在於相鄰兩條掃描配線320之間增加配置一共用





## 五、發明說明 (8)

配線400，且每個畫素電極350的部分區域係位於共用配線400的上方，而每個下電極360改配置於畫素電極360以及對應之共用配線400之間。每個連接導體層370係位於對應之下電極360之部分區域及共用配線400的上方，且每個連接導體層370係與對應之下電極360及共用配線400電性連接，使得畫素電極350與下電極360耦合成一第二金屬層/絕緣層/銦錫氧化物層(MII)的儲存電容。

承上所述，上述各個實施例中所揭露之連接導體層其材質無須限制，但為了使製程更為簡便，連接導體層之材質可與畫素電極相同，例如是銦錫氧化物(ITO)或銦鋅氧化物(IZO)。換言之，在形成畫素電極時，可進一步將畫素電極圖案化以分為兩個部分，其中一部分作為連接導體層，而剩餘的部分作為畫素的顯示區域。

此外，基於上述之概念，熟悉該項技術者應知，本發明之薄膜電晶體陣列基板可更可運用至一種多重區域垂直排列型液晶顯示器(Multi-domain Vertical Alignment liquid crystal display, MVA-LCD)或是其他種模式之液晶顯示器中。由於此種液晶顯示器會將其中之畫素電極圖案化以形成圖案化的狹縫(slits)或突起(protrude)，使兩基板間之電場改變，並使兩基板間之液晶能以多區域平均的方式排列，進而達到液晶顯示面板之視角對稱的目的。因此，經圖案化之畫素電極的部分區域即可作為連接導體層，而剩餘的區域即可作為畫素的顯示區域。

綜上所述，本發明之薄膜電晶體陣列基板主要具有下



## 五、發明說明 (9)

### 列優點：

1. 本發明之薄膜電晶體陣列基板，其中儲存電容在相同儲存電容區域的情況下，可提供較大的儲存電容值。

2. 本發明之薄膜電晶體陣列基板，其中儲存電容在相同儲存電容值的情況下，僅需較小的儲存電容區域，故可提高開口率，以增加畫素的顯示面積。

3. 本發明之薄膜電晶體陣列基板，可將畫素電極圖案化後的部分區域直接作為連接導體層，其製作方便且實用性高。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



## 圖式簡單說明

圖1繪示為習知第一金屬層-絕緣層-第二金屬層(MIM)架構之儲存電容的剖面示意圖。

圖2繪示為習知第一金屬層-絕緣層-銦錫氧化物層(MII)架構之儲存電容的剖面示意圖。

圖3繪示為依照本發明一較佳實施例薄膜電晶體陣列基板的示意圖。

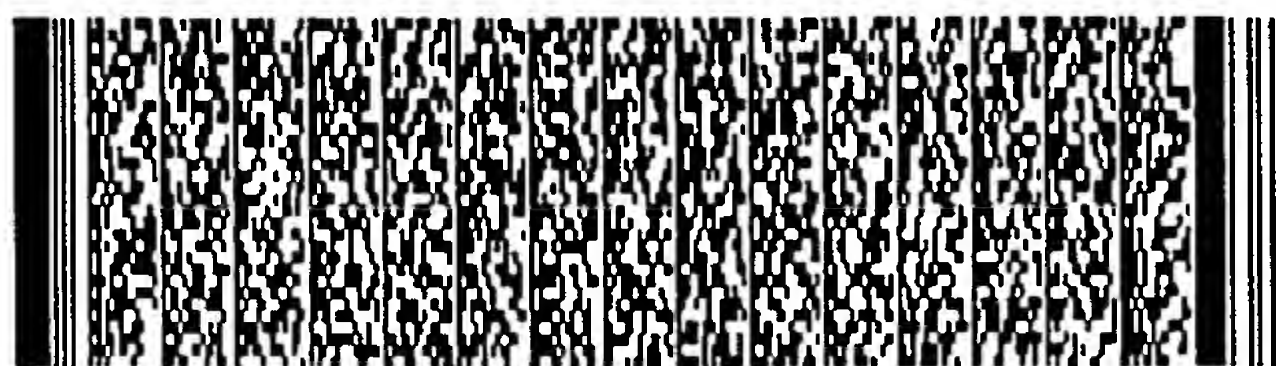
圖4繪示為根據圖3中之薄膜電晶體陣列基板沿著剖面線A-A'所見之剖面圖。

圖5繪示為依照本發明另一較佳實施例薄膜電晶體陣列基板的剖面示意圖。

圖6繪示為依照本發明另一較佳實施例薄膜電晶體陣列基板的示意圖。

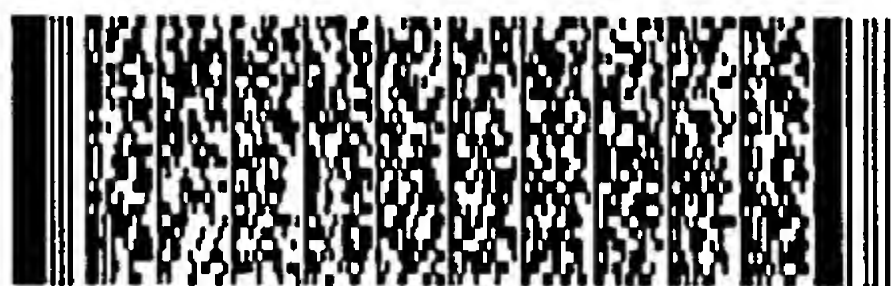
### 【圖式標示說明】

- 100、200：掃描配線或共用配線
- 110、210：閘極絕緣層
- 120：上電極
- 130、220：保護層
- 132：接觸窗
- 140、230：畫素電極
- 300、300'：薄膜電晶體陣列基板
- 310：基板
- 320：掃描配線
- 330：資料配線
- 340：薄膜電晶體



圖式簡單說明

- 350 : 畫素電極
- 360 : 下電極
- 370 : 連接導體層
- 380 : 保護層
- 382 : 第一接觸窗
- 390 : 介電層
- 392 : 第二接觸窗
- 394 : 第三接觸窗
- 400 : 共用配線



## 六、申請專利範圍

1. 一種薄膜電晶體陣列基板，包括：

一基板；

多數個掃描配線，配置於該基板上；

多數個資料配線，配置於該基板上，其中該些掃描配線與該些資料配線係將該基板區分為多數個畫素區域；

多數個薄膜電晶體，每一該些薄膜電晶體係位於該些畫素區域其中之一內，其中該些薄膜電晶體係藉由該些掃描配線以及該些資料配線驅動；

多數個畫素電極，每一該些畫素電極係位於該些畫素區域其中之一內，以與對應之該些薄膜電晶體其中之一電性連接，且每一該些畫素電極之部分區域係位於對應之該些掃描配線其中之一之上方；

多數個下電極，每一該些下電極配置於每一該些畫素電極以及該些掃描配線其中之一之間；以及

多數個連接導體層，每一該些連接導體層係位於對應之該些下電極其中之一之部分區域及該些掃描配線其中之一之上方，且每一該些連接導體層係與對應之該些下電極其中之一及該些掃描配線其中之一電性連接。

2. 如申請專利範圍第1項所述之薄膜電晶體陣列基板，更包括一保護層，配置於該些畫素電極與該些下電極以及該些連接導體層與該些下電極之間。

3. 如申請專利範圍第2項所述之薄膜電晶體陣列基板，更包括一介電層，配置於該些下電極與該些掃描配線之間。





## 六、申請專利範圍

4. 如申請專利範圍第3項所述之薄膜電晶體陣列基板，其中該保護層與該介電層中具有多數個第一接觸窗以及多數個第二接觸窗，而每一該些第一接觸窗係暴露出該些下電極其中之一，且每一該些第二接觸窗係暴露出該些掃描配線其中之一。

5. 如申請專利範圍第4項所述之薄膜電晶體陣列基板，其中每一該些連接導體層係透過該些第一接觸窗其中之一而與對應之該些下電極其中之一電性連接，且每一該些連接導體層係透過該些第二接觸窗其中之一而與對應之該些掃描配線其中之一電性連接。

6. 如申請專利範圍第3項所述之薄膜電晶體陣列基板，其中該保護層與該介電層中具有多數個第三接觸窗，且每一該些第三接觸窗係同時暴露出每一該些下電極及該些掃描配線其中之一。

7. 如申請專利範圍第6項所述之薄膜電晶體陣列基板，其中每一該些連接導體層係透過該些第三接觸窗其中之一而與對應之該些下電極其中之一以及該些掃描配線其中之一同時電性連接。

8. 如申請專利範圍第1項所述之薄膜電晶體陣列基板，其中該些連接導體層與該些畫素電極為相同材質。

9. 如申請專利範圍第8項所述之薄膜電晶體陣列基板，其中該些連接導體層與該些畫素電極之材質包括銦錫氧化物及銦鋅氧化物其中之一。

10. 一種薄膜電晶體陣列基板，包括：



## 六、申請專利範圍

一 基板；

多數個掃描配線，配置於該基板上；

多數個資料配線，配置於該基板上，其中該些掃描配線與該些資料配線係將該基板區分為多數個畫素區域；

多數個薄膜電晶體，每一該些薄膜電晶體係位於該些畫素區域其中之一內，其中該些薄膜電晶體係藉由該些掃描配線以及該些資料配線驅動；

多數個畫素電極，每一該些畫素電極係位於該些畫素區域其中之一內，以與對應之該些薄膜電晶體其中之一電性連接；

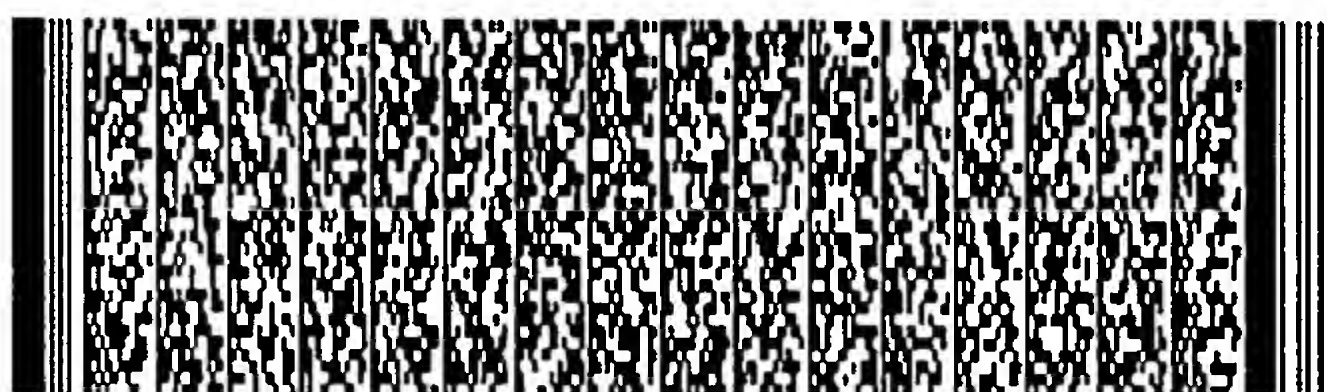
多數個共用配線，配置於該基板上，且每一該些畫素電極之部分區域係位於對應之該些共用配線其中之一的上方；

多數個下電極，每一該些下電極配置於每一該些畫素電極以及該些共用配線其中之一之間；以及

多數個連接導體層，每一該些連接導體層係位於對應之該些下電極其中之一之部分區域及該些共用配線其中之一的上方，且每一該些連接導體層係與對應之該些下電極其中之一及該些共用配線其中之一電性連接。

11. 如申請專利範圍第10項所述之薄膜電晶體陣列基板，更包括一保護層，配置於該些畫素電極與該些下電極以及該些連接導體層與該些下電極之間。

12. 如申請專利範圍第11項所述之薄膜電晶體陣列基板，更包括一介電層，配置於該些下電極與該些掃描配線



## 六、申請專利範圍

之間。

13. 如申請專利範圍第12項所述之薄膜電晶體陣列基板，其中該保護層與該介電層中具有多數個第一接觸窗以及多數個第二接觸窗，而每一該些第一接觸窗係暴露出該些下電極其中之一，且每一該些第二接觸窗係暴露出該些掃描配線其中之一。

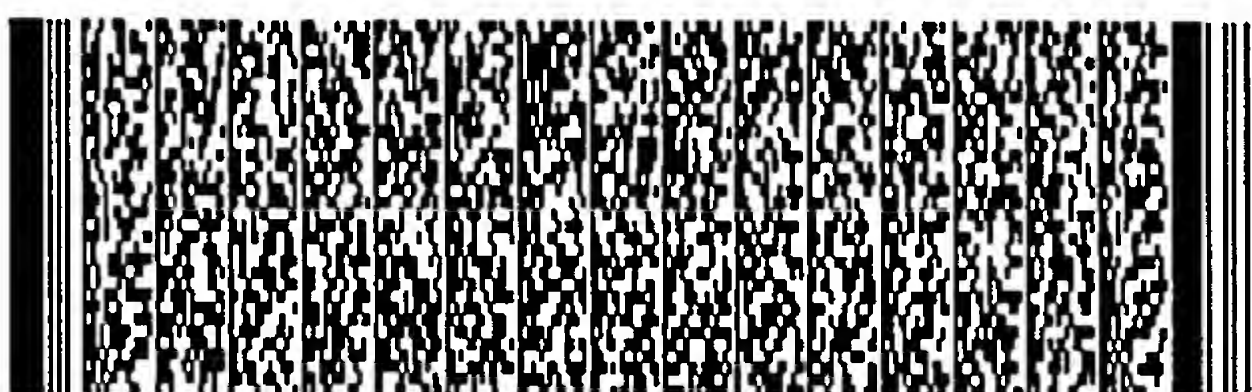
14. 如申請專利範圍第13項所述之薄膜電晶體陣列基板，其中每一該些連接導體層係透過該些第一接觸窗其中之一而與對應之該些下電極其中之一電性連接，且每一該些連接導體層係透過該些第二接觸窗其中之一而與對應之該些掃描配線其中之一電性連接。

15. 如申請專利範圍第12項所述之薄膜電晶體陣列基板，其中該保護層與該介電層中具有多數個第三接觸窗，且每一該些第三接觸窗係同時暴露出每一該些下電極及該些掃描配線其中之一。

16. 如申請專利範圍第15項所述之薄膜電晶體陣列基板，其中每一該些連接導體層係透過該些第三接觸窗其中之一而與對應之該些下電極其中之一以及該些掃描配線其中之一同時電性連接。

17. 如申請專利範圍第10項所述之薄膜電晶體陣列基板，其中該些連接導體層與該些畫素電極為相同材質。

18. 如申請專利範圍第17項所述之薄膜電晶體陣列基板，其中該些連接導體層與該些畫素電極之材質包括銦錫氧化物及銦鋅氧化物其中之一。



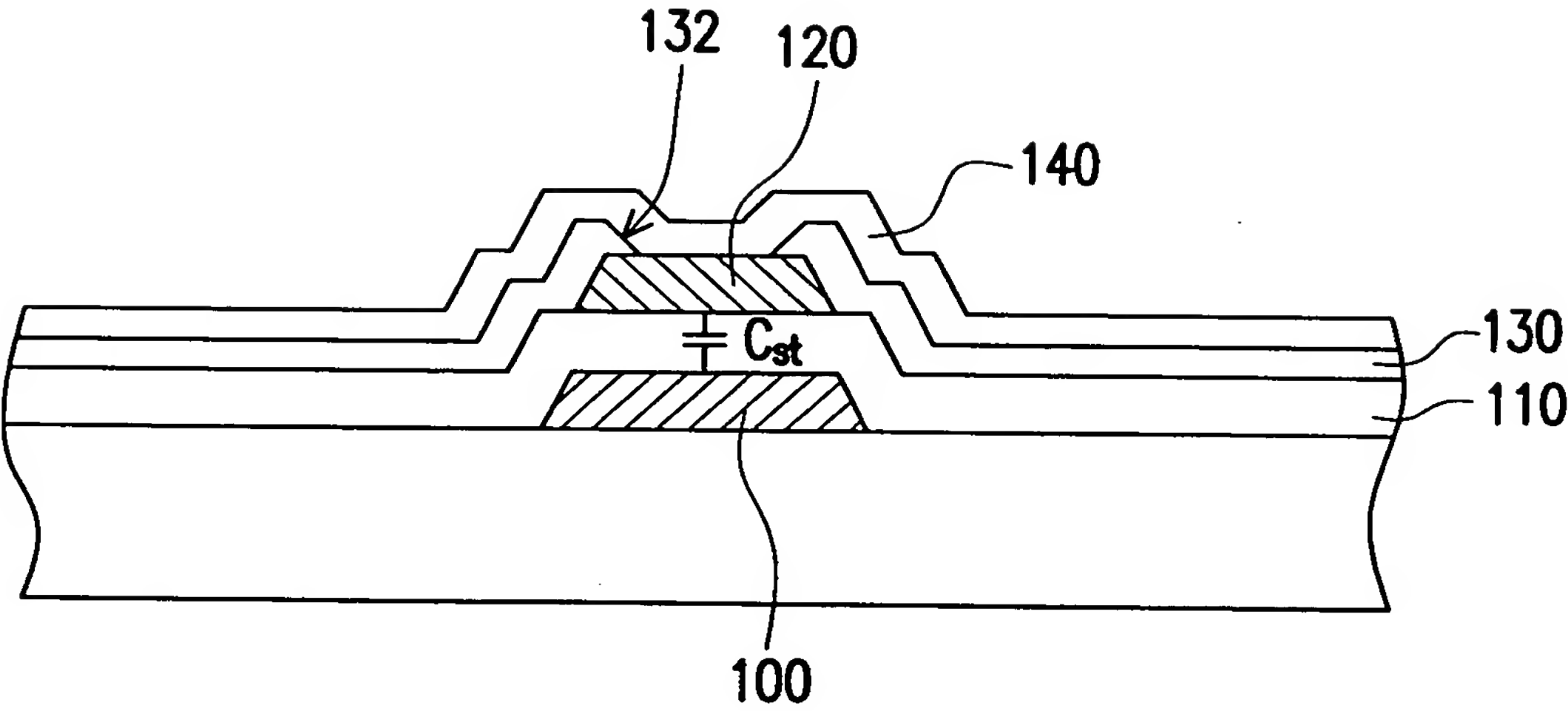


圖 1

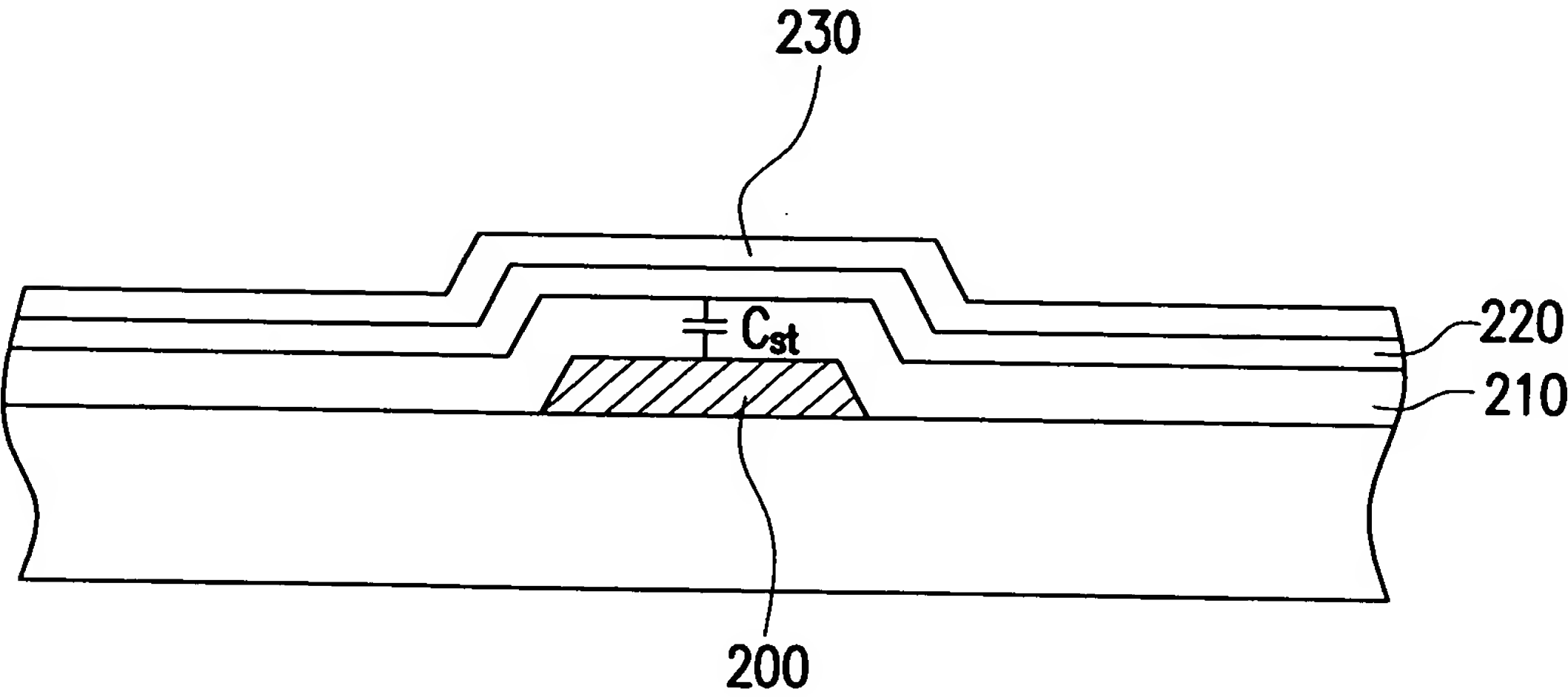


圖 2





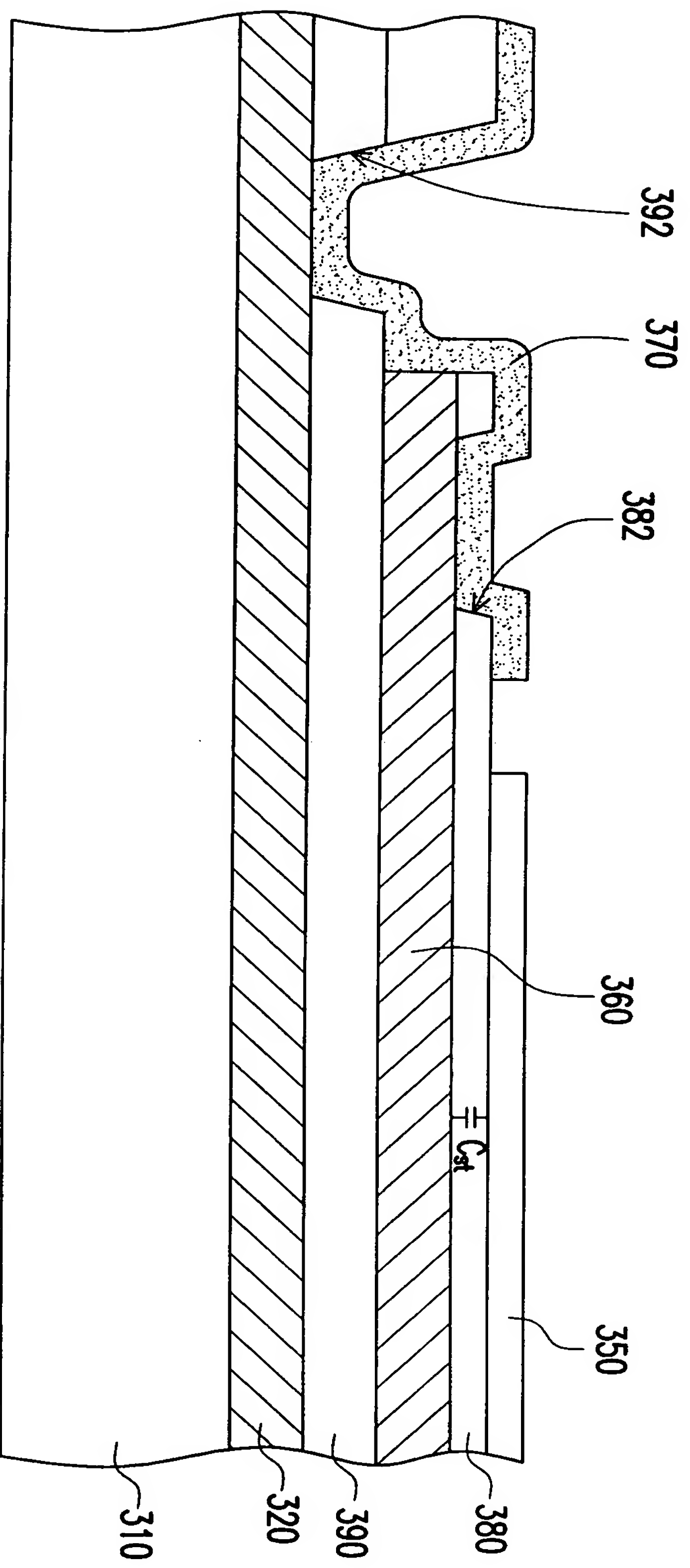


圖 4

300

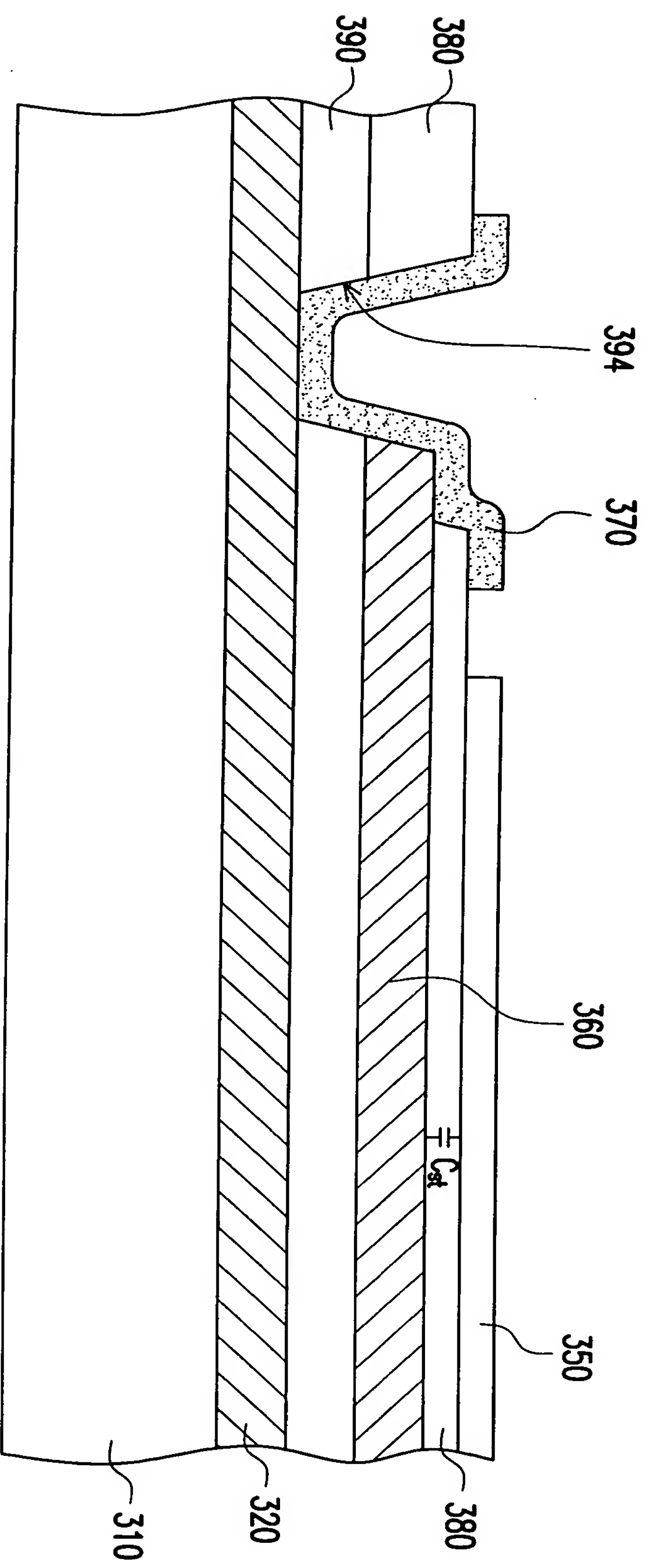


圖 5

300

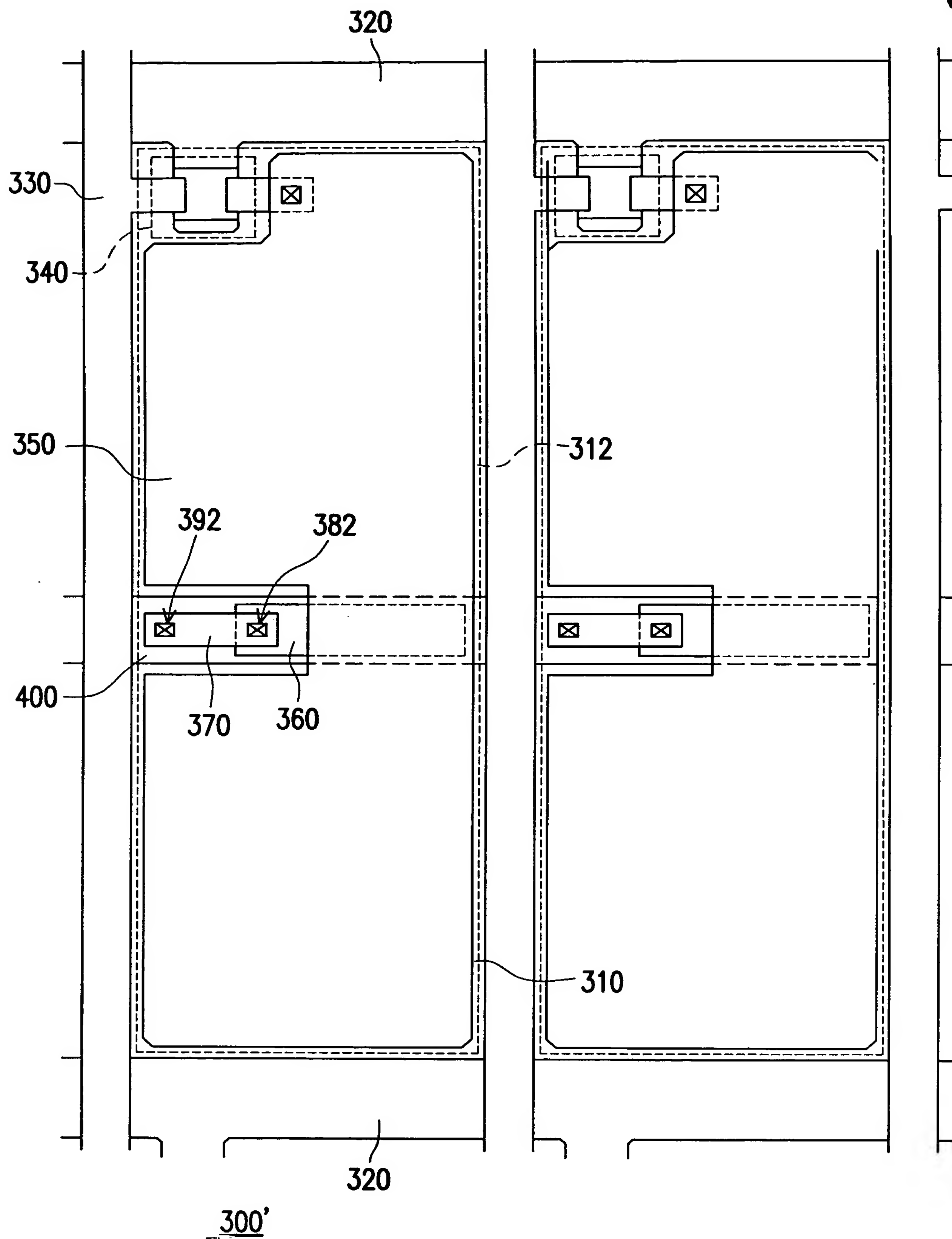


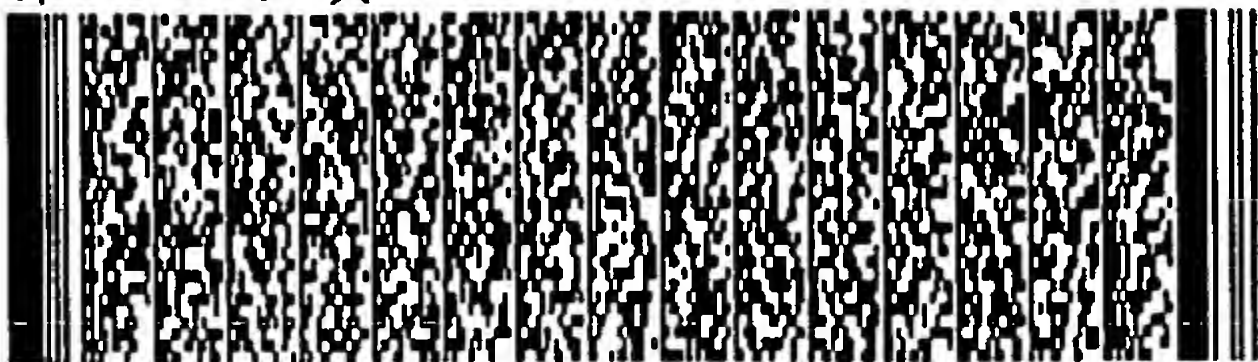
圖 6



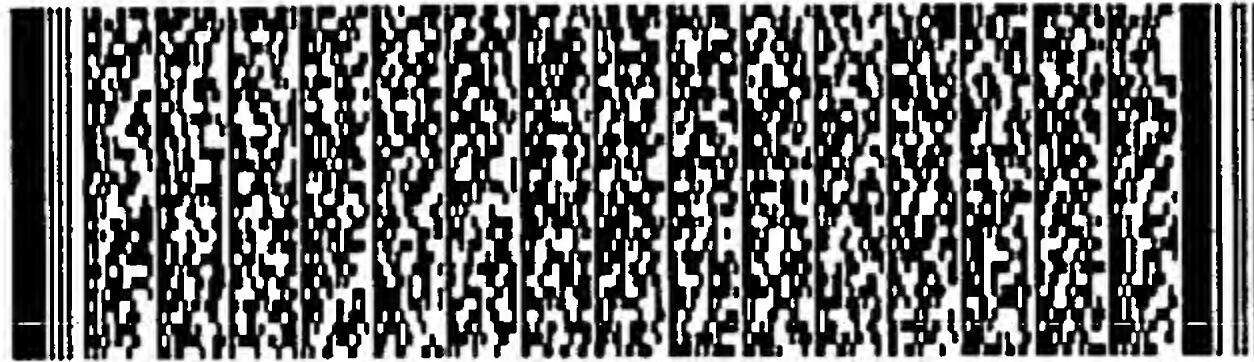




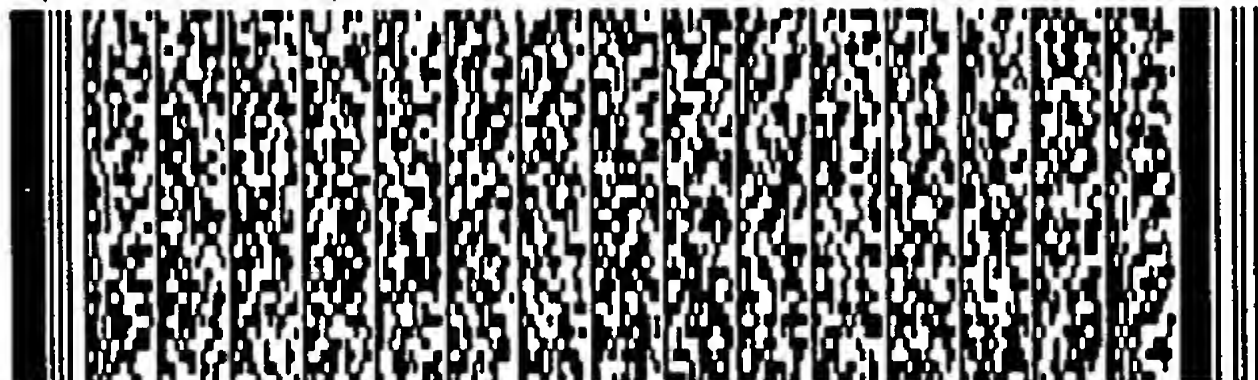
第 11/19 頁



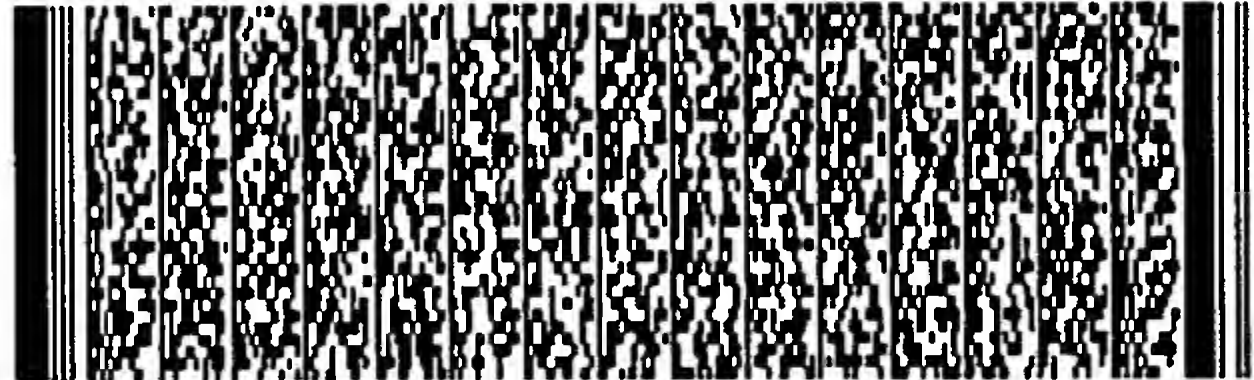
第 11/19 頁



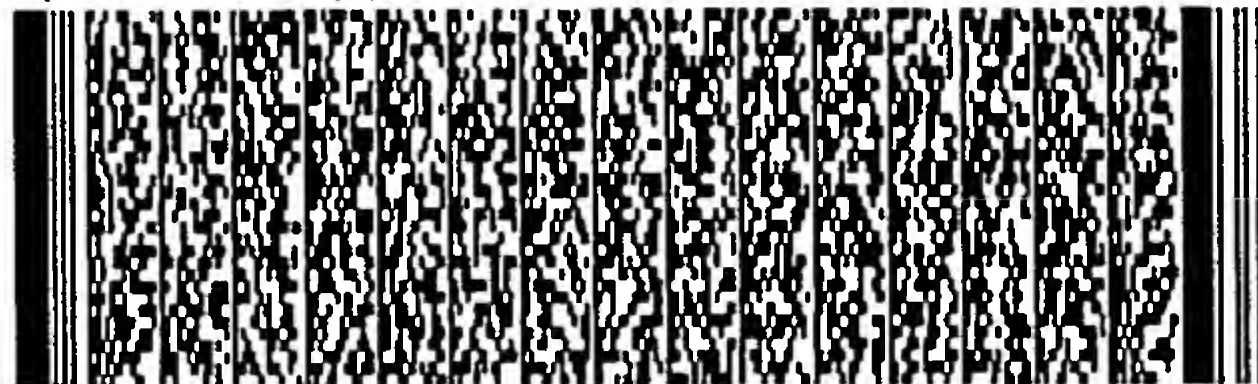
第 12/19 頁



第 12/19 頁



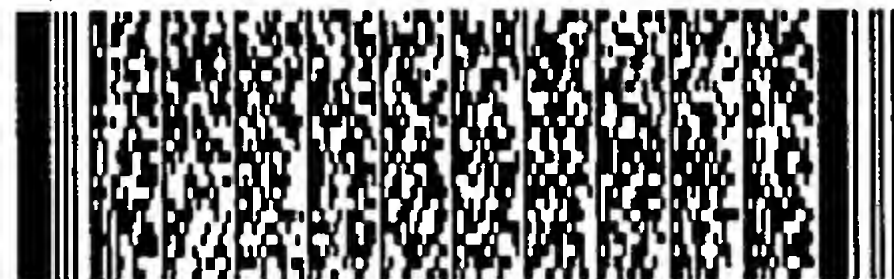
第 13/19 頁



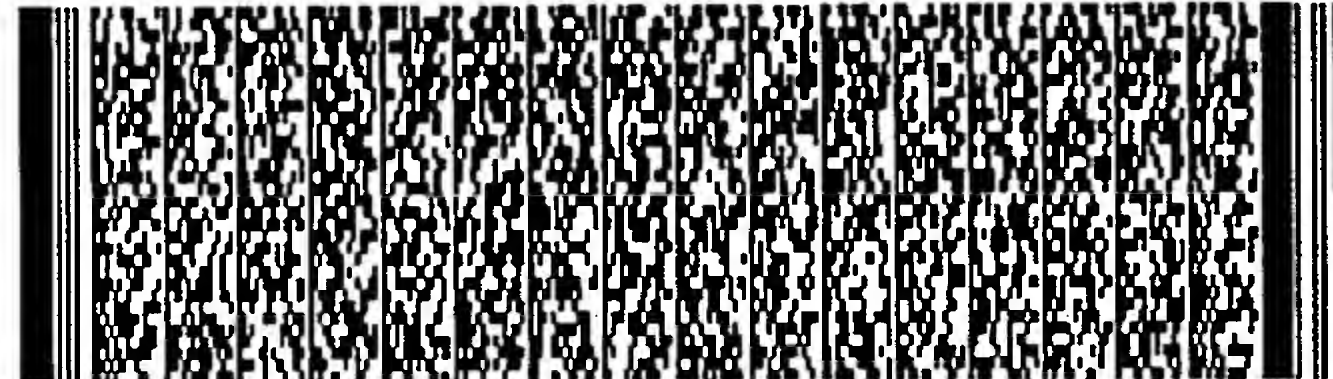
第 14/19 頁



第 15/19 頁



第 16/19 頁



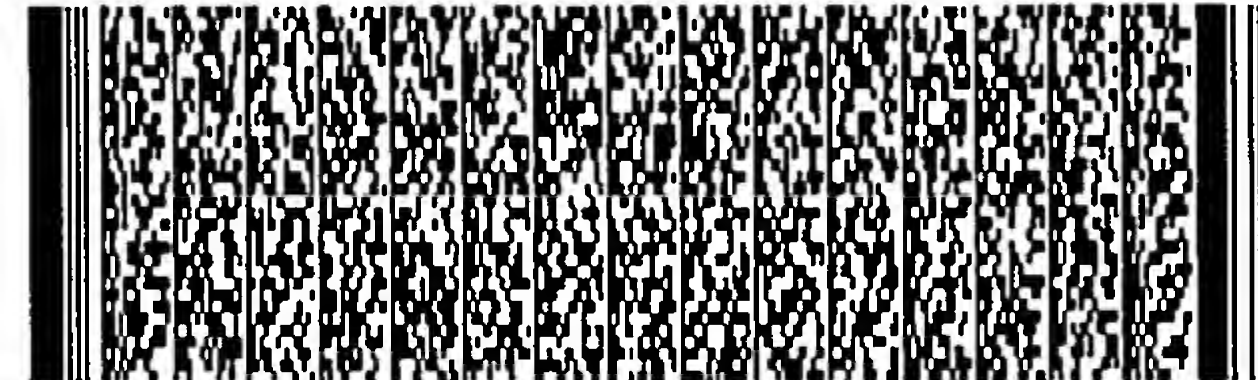
第 17/19 頁



第 18/19 頁



第 19/19 頁





**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: Bar Code

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**